

DERWENT-ACC-NO: 1998-490816

DERWENT-WEEK: 199842

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Terminal formation method for active matrix colour LCD device - involves etching protective and conductive films formed on drain terminal and forming ITO film and forming resist film on drain terminal and protective film covering signal line, respectively

PATENT-ASSIGNEE: HITACHI LTD[HITA]

PRIORITY-DATA: 1989JP-0007615 (January 18, 1989) , 1998JP-0025683 (January 18, 1989)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 10213818 A	August 11, 1998	N/A	019	G02F 001/136

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 10213818A	Div ex	1989JP-0007615	January 18, 1989
JP 10213818A	N/A	1998JP-0025683	January 18, 1989

INT-CL (IPC): G02F001/1345, G02F001/136 , G09F009/30 , H01L029/786

RELATED-ACC-NO: 1990-266235, 1990-337926

ABSTRACTED-PUB-NO: JP 10213818A

BASIC-ABSTRACT:

The method involves forming a pair of electrically conductive film (d1,d2) on a glass substrate (SUB1) sequentially. A drain terminal (1) is formed on the conductive film, selectively. A video signal line (DL) is formed by combining the two conductive films. A protective film (PSV1) is formed covering the signal line and the drain terminal.

Then, the protective film formed on the drain terminal is etched. A resist film (3) with composition same as that of the protective film is formed on it. The exposed portion of the second conductive film formed on the drain terminal is removed. An ITO film (4) is formed on the drain terminal.

ADVANTAGE - Prevent inferior contact between conductive terminals. Uses same composition for forming resist and protective films and hence shortens manufacture.

CHOSEN-DRAWING: Dwg.2/26

TITLE-TERMS: TERMINAL FORMATION METHOD ACTIVE MATRIX COLOUR LCD DEVICE  
ETCH

PROTECT CONDUCTING FILM FORMING DRAIN TERMINAL FORMING FILM  
FORMING

RESIST FILM DRAIN TERMINAL PROTECT FILM COVER SIGNAL LINE  
RESPECTIVE

DERWENT-CLASS: P81 P85 U12 U14

EPI-CODES: U12-B03A; U14-K01A1B; U14-K01A2B; U14-K01A4B;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1998-383947

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 許出願公開番号

特開平10-213818

(43) 公開日 平成10年(1998) 8月11日

(51) Int.Cl.<sup>6</sup>  
 G 0 2 F 1/136  
 1/1345  
 G 0 9 F 9/30  
 H 0 1 L 29/786

識別記号

5 0 0

3 4 7

F I

G 0 2 F 1/136 5 0 0

1/1345

G 0 9 F 9/30 3 4 7

H 0 1 L 29/78 6 1 2 C

審査請求 有 請求項の数 5 O L (全 19 頁)

(21) 出願番号 特願平10-25683  
 (62) 分割の表示 特願平1-7615の分割  
 (22) 出願日 平成1年(1989) 1月18日

(71) 出願人 000005108  
 株式会社日立製作所  
 東京都千代田区神田駿河台四丁目6番地  
 (72) 発明者 谷口 秀明  
 千葉県茂原市早野3300番地 株式会社日立  
 製作所茂原工場内  
 (72) 発明者 国藤 博文  
 千葉県茂原市早野3300番地 株式会社日立  
 製作所茂原工場内  
 (72) 発明者 折村 良二  
 千葉県茂原市早野3300番地 株式会社日立  
 製作所茂原工場内  
 (74) 代理人 弁理士 中村 純之助

最終頁に続く

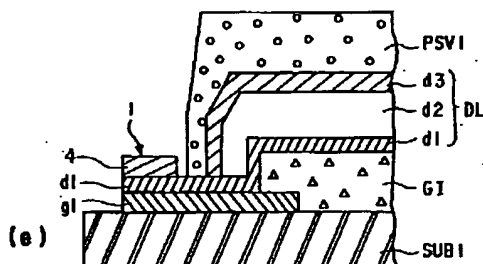
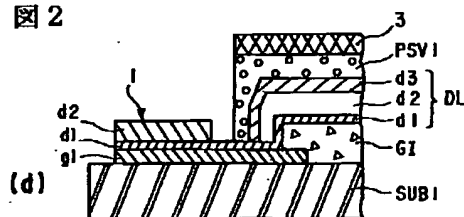
(54) 【発明の名称】 液晶表示装置の端子の形成方法

(57) 【要約】

【課題】 端子の表面が汚染されるのを防止する。

【解決手段】 ガラス基板SUB1上に映像信号線DLおよびドレイン端子1を第1導電膜d1と、第1導電膜d1上に堆積され第2導電膜d2との多層膜により形成し、ガラス基板SUB1上に映像信号線DLおよびドレイン端子1を覆う保護膜PSV1を形成し、保護膜PSV1上にレジスト3を設け、ドレイン端子1上の保護膜PSV1を除去し、保護膜PSV1上にレジスト3を残した状態で、保護膜PSV1と同じレジスト3を用いて、ドレイン端子1部の保護膜PSV1から露呈した第2導電膜d2を除去し、レジスト3を保護膜PSV1から除去し、ドレイン端子1部の第1導電膜d1の第2導電膜d2が除去された部分にITO膜4を形成する。

図 2



## 【特許請求の範囲】

【請求項1】液晶表示装置の一方のガラス基板上に、信号線および該信号線に接続する端子となる端子部を、第1導電膜と、該第1導電膜上に堆積され上記第1導電膜に対し選択エッチング可能な第2導電膜との多層膜により形成する工程と、  
上記ガラス基板上に上記信号線および上記端子部を覆う絶縁膜を形成する工程と、  
上記絶縁膜上にレジストを設け、上記端子部上の上記絶縁膜を除去する工程と、  
上記絶縁膜上に上記レジストを残した状態で、上記絶縁膜と同じレジストを用いて、上記端子部の上記絶縁膜から露呈した上記第2導電膜を除去する工程と、  
上記レジストを上記絶縁膜から除去する工程と、  
上記端子部の上記第1導電膜の上記第2導電膜が除去された部分に透明導電膜からなる第3導電膜を形成する工程とよりなる液晶表示装置の端子の形成方法。

【請求項2】上記第2導電膜はアルミニウムを主成分とする導電膜からなることを特徴とする請求項1記載の液晶表示装置の端子の形成方法。

【請求項3】上記第1導電膜はクロムからなることを特徴とする請求項2記載の液晶表示装置の端子の形成方法。

【請求項4】上記絶縁膜を形成する工程はプラズマCVD装置により窒化シリコン膜を形成し、  
上記第2導電膜はアルミニウム-パラジウム、アルミニウム-シリコン、アルミニウム-シリコン-チタンまたはアルミニウム-シリコン-銅の中から選ばれる導電膜からなることを特徴とする請求項1記載の液晶表示装置の端子の形成方法。

【請求項5】上記第1導電膜はクロムからなることを特徴とする請求項4記載の液晶表示装置の端子の形成方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明はたとえば薄膜トランジスタと画素電極とを画素の一構成要素とするアクティブ・マトリックス方式のカラー液晶表示装置等の液晶表示装置を製造する方法に関するものである。

## 【0002】

【従来の技術】従来のアクティブ・マトリックス方式の液晶表示装置の製造方法においては、米国特許第3824003号明細書に示されるように、ゲート絶縁膜として使用される絶縁膜を形成したのちに、ドレイン端子を形成している。

【0003】なお、ドレイン信号線をアルミニウムで形成し、ドレイン端子をクロムで形成する構成は特開昭62-143028号公報で知られている。

【0004】また、ドレイン端子をクロム膜とクロム膜を覆う透明電極とで形成する構成は特開昭62-356

69号公報で知られている。

【0005】また、ドレイン信号線をアルミニウムとクロムで形成し、ドレイン端子をクロム膜で形成し、ドレイン端子のクロム膜を透明電極で覆う構成は特開昭63-316084号公報で知られている。

【0006】しかし、何れの先行技術にも、端子を第1導電膜と第1導電膜上の第2導電膜の多層膜で形成し、第1、第2導電膜を覆う絶縁膜形成後に第1導電膜上の第2導電膜を除去する構成の記載はない。

## 10 【0007】

【発明が解決しようとする課題】しかし、このような液晶表示装置の製造方法においては、端子形成後に薄膜トランジスタを覆う保護膜を形成するので、保護膜形成工程で端子表面が汚染される可能性があり、端子の接続不良を生じる可能性があった。

【0008】この発明は上述の問題を解決するためになされたもので、端子の表面が汚染されることがない液晶表示装置の製造方法を提供することを目的とする。

## 【0009】

20 【課題を解決するための手段】この目的を達成するため、この発明においては、液晶表示装置の一方のガラス基板上に、信号線および該信号線に接続する端子となる端子部を、第1導電膜と、該第1導電膜上に堆積され上記第1導電膜に対し選択エッチング可能な第2導電膜との多層膜により形成する工程と、上記ガラス基板上に上記信号線および上記端子部を覆う絶縁膜を形成する工程と、上記絶縁膜上にレジストを設け、上記端子部上の上記絶縁膜を除去する工程と、上記絶縁膜上に上記レジストを残した状態で、上記絶縁膜と同じレジストを用いて、上記端子部の上記絶縁膜から露呈した上記第2導電膜を除去する工程と、上記レジストを上記絶縁膜から除去する工程と、上記端子部の上記第1導電膜の上記第2導電膜が除去された部分に透明導電膜からなる第3導電膜を形成する工程とよりなる液晶表示装置の端子の形成方法とする。

【0010】さらに、上記第2導電膜はアルミニウムを主成分とする導電膜からなることとする。

【0011】さらに、上記第1導電膜はクロムからなることとする。

40 【0012】また、上記絶縁膜を形成する工程はプラズマCVD装置により窒化シリコン膜を形成し、上記第2導電膜はアルミニウム-パラジウム、アルミニウム-シリコン、アルミニウム-シリコン-チタンまたはアルミニウム-シリコン-銅の中から選ばれる導電膜からなることとする。

【0013】さらに、上記第1導電膜はクロムからなることとする。

【0014】この液晶表示装置の端子の形成方法においては、完成後に接続端子となる端子部を第1導電膜と第2導電膜の多層膜で形成し、その上に絶縁膜を形成し、

端子部を絶縁膜から露呈した後第1導電膜上の第2導電膜を除去するので、絶縁膜形成工程および絶縁膜除去工程で端子部の第1導電膜が汚染されることがなく、その後第1導電膜上に形成される第3導電膜が剥がれることがない。

【0015】さらに、絶縁膜を除去する工程と端子部の第2導電膜を除去する工程は、同じレジストを用いるので、製造工程が短縮できる。

【0016】また、第3導電膜は酸化膜である透明導電膜からなるので、端子の腐蝕を防止することができる。

【0017】また、信号線も第1導電膜と第2導電膜の多層膜で同時形成するので、特別な工程を増やすことなく信号線の断線を防止することができる。

【0018】さらに、第2導電膜をアルミニウムを主成分とする導電膜で形成することにより、特別な工程を増やすことなく信号線の配線抵抗を低減することができ、信号伝達速度の高速化を図ることができる。

【0019】さらに、第1導電膜をクロムからなる導電膜で形成することにより、クロムは透明導電膜からなる第3導電膜との接着性が良好なので、第3導電膜と第1導電膜のコンタクト不良が更に改善される。

【0020】また、絶縁膜をプラズマCVD装置により窒化シリコン膜で形成する場合は、第2導電膜をアルミニウム-パラジウム、アルミニウム-シリコン、アルミニウム-シリコン-チタンまたはアルミニウム-シリコン-銅の中から選ばれる導電膜で形成することにより、絶縁膜形成工程で第2導電膜にヒロックが発生するのを防止することができる。

【0021】

【発明の実施の形態】この発明を適用すべきアクティブマトリックス方式のカラー液晶表示装置の液晶表示部の一画素を図3（要部平面図）で示し、図3のII-II切断線で切った断面を図4で示す。また、図5（要部平面図）には、図3に示す画素を複数配置した液晶表示部の要部を示す。

【0022】図3～図5に示すように、液晶表示装置は、下部透明ガラス基板SUB1の内側（液晶側）の表面上に、薄膜トランジスタTFTおよび透明画素電極ITOを有する画素が構成されている。下部透明ガラス基板SUB1はたとえば1.1mm程度の厚さで構成されている。

【0023】各画素は、隣接する2本の走査信号線（ゲート信号線または水平信号線）GLと、隣接する2本の映像信号線（ドレイン信号線または垂直信号線）DLとの交差領域内（4本の信号線で囲まれた領域内）に配置されている。走査信号線GLは、図3および図5に示すように、列方向に延在し、行方向に複数本配置されている。映像信号線DLは、行方向に延在し、列方向に複数本配置されている。

【0024】各画素の薄膜トランジスタTFTは、画素

内において3つ（複数）に分割され、薄膜トランジスタ（分割薄膜トランジスタ）TFT1、TFT2およびTFT3で構成されている。薄膜トランジスタTFT1～TFT3のそれぞれは、実質的に同一サイズ（チャンネル長と幅が同じ）で構成されている。この分割された薄膜トランジスタTFT1～TFT3のそれぞれは、主にゲート電極GT、絶縁膜GI、i型（真性、intrinsic、導電型決定不純物がドーパされていない）シリコン（Si）からなるi型半導体層AS、一対のソース電極SD1およびドレイン電極SD2で構成されている。なお、ソース・ドレインは本来その間のバイアス極性によって決まり、この液晶表示装置の回路ではその極性は動作中反転するので、ソース・ドレインは動作中入れ替わると理解されたい。しかし以下の説明でも、便宜上一方をソース、他方をドレインと固定して表現する。

【0025】前記ゲート電極GTは、図6（所定の製造工程における要部平面図）に詳細に示すように、走査信号線GLから行方向（図3および図6において下方向）に突出するT字形状で構成されている（T字形状に分岐されている）。つまり、ゲート電極GTは、映像信号線DLと実質的に平行に延在するように構成されている。ゲート電極GTは、薄膜トランジスタTFT1～TFT3のそれぞれの形成領域まで突出するように構成されている。薄膜トランジスタTFT1～TFT3のそれぞれのゲート電極GTは、一体に（共通ゲート電極として）構成されており、同一の走査信号線GLに連続して形成されている。ゲート電極GTは、薄膜トランジスタTFTの形成領域において大きい段差をなるべく作らないように、単層の第1導電膜g1で構成する。第1導電膜g1は、たとえばスパッタで形成されたクロム（Cr）膜を用い、1100Å程度の膜厚で形成する。

【0026】このゲート電極GTは、図3、図4および図7に示されているように、i型半導体層ASを完全に覆うよう（下方からみて）それより大き目に形成される。したがって、下部透明ガラス基板SUB1の下方に蛍光灯等のバックライトを取り付けた場合、この不透明のCrゲート電極GTが影となって、半導体層ASにはバックライト光が当たらず、前述した光照射による導電現象すなわちTFTのオフ特性劣化は起きにくくなる。なお、ゲート電極GTの本来の大きさは、ソース・ドレイン電極SD1、SD2間をまたがるに最低限必要な（ゲート電極とソース・ドレイン電極の位置合わせ余裕分も含めて）幅を持ち、チャンネル幅Wを決めるその奥行き長さはソース・ドレイン電極間の距離（チャンネル長）Lとの比、すなわち相互コンダクタンスgmを決定するファクタW/Lをいくつにするかによって決められる。

【0027】この液晶表示装置におけるゲート電極の大きさはもちろん、上述した本来の大きさよりも大きくされる。

【0028】ゲート電極GTのゲートおよび遮光の機能

面からだけで考えれば、ゲート電極GTおよびその配線GLは単一の層で一体に形成してもよく、この場合不透明導電材料としてSiを含有させたA1、純A1、およびPdを含有させたA1等を選ぶことができる。

【0029】前記走査信号線GLは、第1導電膜g1およびその上部に設けられた第2導電膜g2からなる複合膜で構成されている。この走査信号線GLの第1導電膜g1は、前記ゲート電極GTの第1導電膜g1と同一製造工程で形成され、かつ一体に構成されている。第2導電膜g2はたとえばスパッタで形成されたアルミニウム(A1)膜を用い、900~4000Å程度の膜厚で形成する。第2導電膜g2は、走査信号線GLの抵抗値を低減し、信号伝達速度の高速化(画素の情報の書込特性)を図ることができるように構成されている。

【0030】また、走査信号線GLは、第1導電膜g1の幅寸法に比べて第2導電膜g2の幅寸法を小さく構成している。すなわち、走査信号線GLは、その側壁の段差形状をゆるやかにすることができるので、その上層の絶縁膜GIの表面を平坦化できるように構成されている。

【0031】絶縁膜GIは、薄膜トランジスタTFT1~TFT3のそれぞれのゲート絶縁膜として使用される。絶縁膜GIは、ゲート電極GTおよび走査信号線GLの上層に形成されている。絶縁膜GIはたとえばプラズマCVDで形成された窒化珪素膜を用い、3000Å程度の膜厚で形成する。前述のように、絶縁膜GIの表面は、薄膜トランジスタTFT1~TFT3のそれぞれの形成領域および走査信号線GL形成領域において平坦化されている。

【0032】i型半導体層ASは、図7(所定の製造工程における要部平面図)で詳細に示すように、複数に分割された薄膜トランジスタTFT1~TFT3のそれぞれのチャネル形成領域として使用される。複数に分割された薄膜トランジスタTFT1~TFT3のそれぞれのi型半導体層ASは、画素内において一体に構成されている。すなわち、画素の分割された複数の薄膜トランジスタTFT1~TFT3のそれぞれの1つの(共通の)i型半導体層ASの島領域で構成されている。i型半導体層ASは、非晶質シリコン膜または多結晶シリコン膜で形成し、約1800Å程度の膜厚で形成する。

【0033】このi型半導体層ASは、供給ガスの成分を変えて $Si_3N_4$ からなる絶縁膜GIの形成に連続して、同じプラズマCVD装置で、しかもその装置から外部に露出することなく形成される。また、オーミックコンタクト用のPをドーパしたN<sup>+</sup>型半導体層d0(図4)も同様に連続して約400Åの厚さに形成される。しかる後、下部透明ガラス基板SUB1はCVD装置から外に取り出され、写真処理技術により、N<sup>+</sup>型半導体層d0およびi型半導体層ASは図3、図4および図7に示すように独立した島状にパターンニングされる。

【0034】このように、画素の複数に分割された薄膜トランジスタTFT1~TFT3のそれぞれのi型半導体層ASを一体に構成することにより、薄膜トランジスタTFT1~TFT3のそれぞれに共通のドレイン電極SD2がi型半導体層AS(実際には、第1導電膜g1の膜厚、N<sup>+</sup>型半導体層d0の膜厚およびi型半導体層ASの膜厚とを加算した膜厚に相当する段差)をドレイン電極SD2側からi型半導体層AS側に向かって1度乗り越えるだけなので、ドレイン電極SD2が断線する確率が低くなり、点欠陥の発生する確率を低減することができる。つまり、この液晶表示装置では、ドレイン電極SD2がi型半導体層ASの段差を乗り越える際に画素内に発生する点欠陥が3分の1に低減できる。

【0035】また、この液晶表示装置のレイアウトと異なるが、i型半導体層ASを映像信号線DLが直接乗り越え、この乗り越えた部分の映像信号線DLをドレイン電極SD2として構成する場合、映像信号線DL(ドレイン電極SD2)がi型半導体層ASを乗り越える際の断線に起因する線欠陥の発生する確率を低減することができる。つまり、画素の複数に分割された薄膜トランジスタTFT1~TFT3のそれぞれのi型半導体層ASを一体に構成することにより、映像信号線DL(ドレイン電極SD2)がi型半導体層ASを1度だけしか乗り越えないためである(実際には、乗り始めと乗り終わりの2度である)。

【0036】前記i型半導体層ASは、図3および図7に詳細に示すように、走査信号線GLと映像信号線DLとの交差部(クロスオーバー部)の両者間まで延在させて設けられている。この延在させたi型半導体層ASは、交差部における走査信号線GLと映像信号線DLとの短絡を低減するように構成されている。

【0037】画素の複数に分割された薄膜トランジスタTFT1~TFT3のそれぞれのソース電極SD1とドレイン電極SD2とは、図3、図4および図8(所定の製造工程における要部平面図)で詳細に示すように、i型半導体層AS上にそれぞれ離隔して設けられている。ソース電極SD1、ドレイン電極SD2のそれぞれの、回路のバイアス極性が変わると、動作上、ソースとドレインとが入れ替わるように構成されている。つまり、薄膜トランジスタTFTは、FETと同様に双方向性である。

【0038】ソース電極SD1、ドレイン電極SD2のそれぞれの、N<sup>+</sup>型半導体層d0に接触する下層側から、第1導電膜d1、第2導電膜d2、第3導電膜d3を順次重ね合わせて構成されている。ソース電極SD1の第1導電膜d1、第2導電膜d2および第3導電膜d3は、ドレイン電極SD2のそれぞれと同一製造工程で形成される。

【0039】第1導電膜d1は、スパッタで形成したクロム膜を用い、500~1000Åの膜厚(この液晶表

示装置では、600Å程度の膜厚)で形成する。クロム膜は、膜厚を厚く形成するとストレスが大きくなるので、2000Å程度の膜厚を越えない範囲で形成する。クロム膜は、N<sup>+</sup>型半導体層d0との接触が良好である。クロム膜は、後述する第2導電膜d2のアルミニウムがN<sup>+</sup>型半導体層d0に拡散することを防止する、所謂バリア層を構成する。第1導電膜d1としては、クロム膜の他に、高融点金属(Mo、Ti、Ta、W)膜、高融点金属シリサイド(MoSi<sub>2</sub>、TiSi<sub>2</sub>、TaSi<sub>2</sub>、WSi<sub>2</sub>)膜で形成してもよい。

【0040】第1導電膜d1を写真処理でパターンニングした後、同じ写真処理用マスクであるいは第1導電膜d1をマスクとしてN<sup>+</sup>型半導体層d0が除去される。つまり、i型半導体層AS上に残っていたN<sup>+</sup>型半導体層d0は第1導電膜d1以外の部分がセルフアラインで除去される。このとき、N<sup>+</sup>型半導体層d0はその厚さは全て除去されるようエッチされるのでi型半導体層ASも若干その表面部分でエッチされるが、その程度はエッチ時間で制御すればよい。

【0041】しかる後、第2導電膜d2がアルミニウムのスパッタリングで3000~5500Åの膜厚(この液晶表示装置では、3500Å程度の膜厚)に形成される。アルミニウム膜は、クロム膜に比べてストレスが小さく、厚い膜厚に形成することが可能で、ソース電極SD1、ドレイン電極SD2および映像信号線DLの抵抗値を低減するように構成されている。第2導電膜d2は、薄膜トランジスタTFTの動作速度の高速化および映像信号線DLの信号伝達速度の高速化を図ることができるように構成されている。つまり、第2導電膜d2は、画素の書込特性を向上することができる。第2導電膜d2としては、アルミニウム膜の他に、シリコン(Si)や銅(Cu)やパラジウム(Pd)を添加物として含有させたアルミニウム膜で形成してもよい。

【0042】第2導電膜d2の写真処理技術によるパターンニング後、第3導電膜d3がスパッタで形成された透明導電膜(ITO:ネサ膜)を用い、1000~2000Åの膜厚(この液晶表示装置では、1200Å程度の膜厚)で形成される。この第3導電膜d3は、ソース電極SD1、ドレイン電極SD2および映像信号線DLを構成するとともに、透明画素電極ITOを構成するようになっている。

【0043】ソース電極SD1の第1導電膜d1、ドレイン電極SD2の第1導電膜d1のそれぞれは、上層の第2導電膜d2および第3導電膜d3に比べてチャネル形成領域側を大きいサイズで構成している。つまり、第1導電膜d1は、第1導電膜d1と第2導電膜d2および第3導電膜d3との間の製造工程におけるマスク合せずれが生じて、第2導電膜d2および第3導電膜d3に比べて大きいサイズ(第1導電膜d1~第3導電膜d3のそれぞれのチャネル形成領域側がオンザラインでも

よい)になるように構成されている。ソース電極SD1の第1導電膜d1、ドレイン電極SD2の第1導電膜d1のそれぞれは、薄膜トランジスタTFTのゲート長Lを規定するように構成されている。

【0044】このように、画素の複数に分割された薄膜トランジスタTFT1~TFT3において、ソース電極SD1、ドレイン電極SD2のそれぞれの第1導電膜d1のチャネル形成領域側を第2導電膜d2および第3導電膜d3に比べて大きいサイズで構成することにより、ソース電極SD1、ドレイン電極SD2のそれぞれの第1導電膜d1間の寸法で、薄膜トランジスタTFTのゲート長Lを規定することができる。第1導電膜d1間の離隔寸法(ゲート長L)は、加工精度(パターンニング精度)で規定することができるので、薄膜トランジスタTFT1~TFT3のそれぞれのゲート長Lを均一にすることができる。

【0045】ソース電極SD1は、前記のように、透明画素電極ITOに接続されている。ソース電極SD1は、i型半導体層ASの段差形状(第1導電膜g1の膜厚、N<sup>+</sup>型半導体層d0の膜厚およびi型半導体層ASの膜厚とを加算した膜厚に相当する段差)に沿って構成されている。具体的には、ソース電極SD1は、i型半導体層ASの段差形状に沿って形成された第1導電膜d1と、この第1導電膜d1の上部にそれに比べて透明画素電極ITOと接続される側を小さいサイズで形成した第2導電膜d2と、この第2導電膜から露出する第1導電膜d1に接続された第3導電膜d3とで構成されている。ソース電極SD1の第1導電膜d1は、N<sup>+</sup>型半導体層d0との接着性が良好であり、かつ主に第2導電膜d2からの拡散物に対するバリア層として構成されている。ソース電極SD1の第2導電膜d2は、第1導電膜d1のクロム膜がストレスの増大から厚く形成できず、i型半導体層ASの段差形状を乗り越えられないので、このi型半導体層ASを乗り越えるために構成されている。つまり、第2導電膜d2は、厚く形成することでステップカバレージを向上している。第2導電膜d2は、厚く形成できるので、ソース電極SD1の抵抗値(ドレイン電極SD2や映像信号線DLについても同様)の低減に大きく寄与している。第3導電膜d3は、第2導電膜d2のi型半導体層ASに起因する段差形状を乗り越えることができないので、第2導電膜d2のサイズを小さくすることで露出する第1導電膜d1に接続するように構成されている。第1導電膜d1と第3導電膜d3とは、接着性が良好であるばかりか、両者間の接続部の段差形状が小さいので、確実に接続することができる。

【0046】このように、薄膜トランジスタTFTのソース電極SD1を、少なくともi型半導体層ASに沿って形成されたバリア層としての第1導電膜d1と、この第1導電膜d1の上部に形成され、第1導電膜d1に比べて比抵抗値が小さく、かつ第1導電膜d1に比べて小

さいサイズの第2導電膜d2とで構成し、この第2導電膜d2から露出する第1導電膜d1に透明画素電極ITOである第3導電膜d3を接続することにより、薄膜トランジスタTFTと透明画素電極ITOとを確実に接続することができるので、断線に起因する点欠陥を低減することができる。しかも、ソース電極SD1は、第1導電膜d1によるバリア効果で、抵抗値の小さい第2導電膜d2（アルミニウム膜）を用いることができるので、抵抗値を低減することができる。

【0047】ドレイン電極SD2は、映像信号線DLと一体に構成されており、同一製造工程で形成されている。ドレイン電極SD2は、映像信号線DLと交差する列方向に突出したL字形状で構成されている。つまり、画素の複数に分割された薄膜トランジスタTFT1～TFT3のそれぞれのドレイン電極SD2は、同一の映像信号線DLに接続されている。

【0048】前記透明画素電極ITOは、各画素毎に設けられており、液晶表示部の画素電極の一方を構成する。透明画素電極ITOは、画素の複数に分割された薄膜トランジスタTFT1～TFT3のそれぞれに対応して3つの透明画素電極（分割透明画素電極）ITO1、ITO2およびITO3に分割されている。透明画素電極ITO1は、薄膜トランジスタTFT1のソース電極SD1に接続されている。透明画素電極ITO2は、薄膜トランジスタTFT2のソース電極SD1に接続されている。透明画素電極ITO3は、薄膜トランジスタTFT3のソース電極SD1に接続されている。

【0049】透明画素電極ITO1～ITO3のそれぞれは、薄膜トランジスタTFT1～TFT3のそれぞれと同様に、実質的に同一サイズで構成されている。透明画素電極ITO1～ITO3のそれぞれは、薄膜トランジスタTFT1～TFT3のそれぞれのi型半導体層ASを一体に構成してある（分割されたそれぞれの薄膜トランジスタTFTを一個所に集中的に配置してある）ので、L字形状で構成している。

【0050】このように、隣接する2本の走査信号線GLと隣接する2本の映像信号線DLとの交差領域内に配置された画素の薄膜トランジスタTFTを複数の薄膜トランジスタTFT1～TFT3に分割し、この複数に分割された薄膜トランジスタTFT1～TFT3のそれぞれに複数に分割した透明画素電極ITO1～ITO3のそれぞれを接続することにより、画素の分割された一部分（たとえば、薄膜トランジスタTFT1）が点欠陥になるだけで、画素の全体としては点欠陥でなくなる（薄膜トランジスタTFT2およびTFT3が点欠陥でない）ので、画素全体としての点欠陥を低減することができる。

【0051】また、前記画素の分割された一部の点欠陥は、画素の全体の面積に比べて小さい（この液晶表示装置の場合、画素の3分の1の面積）ので、前記点欠陥を

見にくくすることができる。

【0052】また、前記画素の分割された透明画素電極ITO1～ITO3のそれぞれを実質的に同一サイズで構成することにより、画素内の点欠陥の面積を均一にすることができる。

【0053】また、前記画素の分割された透明画素電極ITO1～ITO3のそれぞれを実質的に同一サイズで構成することにより、透明画素電極ITO1～ITO3のそれぞれと共通透明画素電極ITOとで構成されるそれぞれの液晶容量（Cpix）と、この透明画素電極ITO1～ITO3のそれぞれに付加される透明画素電極ITO1～ITO3とゲート電極GTとの重ね合わせで生じる重ね合わせ容量（Cgs）とを均一にすることができる。つまり、透明画素電極ITO1～ITO3のそれぞれは液晶容量および重ね合わせ容量を均一にすることができるので、この重ね合わせ容量に起因する液晶LCの液晶分子に印加されようとする直流成分を均一とすることができ、この直流成分を相殺する方法を採用した場合、各画素の液晶にかかる直流成分のばらつきを小さくすることができる。

【0054】薄膜トランジスタTFTおよび透明画素電極ITO上には、保護膜PSV1が設けられている。保護膜PSV1は、主に薄膜トランジスタTFTを湿気等から保護するために形成されており、透明性が高くしかも耐湿性の良いものを使用する。保護膜PSV1は、たとえばプラズマCVDで形成した酸化珪素膜や窒化珪素膜で形成されており、5000～11000Åの膜厚（この液晶表示装置では、8000Å程度の膜厚）で形成する。

【0055】薄膜トランジスタTFT上の保護膜PSV1の上部には、外部光がチャネル形成領域として使用されるi型半導体層ASに入射されないように、遮蔽膜LSが設けられている。図3に示すように、遮蔽膜LSは、点線で囲まれた領域内に構成されている。遮蔽膜LSは、光に対する遮蔽性が高い、たとえばアルミニウム膜やクロム膜等で形成されており、スパッタで1000Å程度の膜厚に形成する。

【0056】したがって、薄膜トランジスタTFT1～TFT3の共通半導体層ASは上下にある遮光膜LSおよび大き目のゲート電極GTによってサンドイッチにされ、外部の自然光やバックライト光が当たらなくなる。遮光膜LSとゲート電極GTは半導体層ASより大き目ではほぼそれと相似形に形成され、両者の大きさはほぼ同じとされる（図では境界線が判るようゲート電極GTを遮光膜LSより小さ目に描いている）。

【0057】なお、バックライトを上部透明ガラス基板SUB2側に取り付け、下部透明ガラス基板SUB1を観察側（外部露出側）とすることもでき、この場合は遮光膜LSはバックライト光の、ゲート電極GTは自然光の遮光体として働く。

10

20

30

40

50



【0058】薄膜トランジスタTFTは、ゲート電極GTに正のバイアスを印加すると、ソースドレイン間のチャネル抵抗が小さくなり、バイアスを零にすると、チャネル抵抗は大きくなるように構成されている。つまり、薄膜トランジスタTFTは、透明画素電極ITOに印加される電圧を制御するように構成されている。

【0059】液晶LCは、下部透明ガラス基板SUB1と上部透明ガラス基板SUB2との間に形成された空間内に、液晶分子の向きを設定する下部配向膜ORI1および上部配向膜ORI2に規定され、封入されている。

【0060】下部配向膜ORI1は、下部透明ガラス基板SUB1側の保護膜PSV1の上部に形成される。

【0061】上部透明ガラス基板SUB2の内側（液晶側）の表面には、カラーフィルタFIL、保護膜PSV2、共通透明画素電極（COM）ITOおよび前記上部配向膜ORI2が順次積層して設けられている。

【0062】前記共通透明画素電極ITOは、下部透明ガラス基板SUB1側に画素毎に設けられた透明画素電極ITOに対向し、隣接する他の共通透明画素電極ITOと一体に構成されている。この共通透明画素電極ITOには、コモン電圧Vcomが印加されるように構成されている。コモン電圧Vcomは、映像信号線DLに印加されるロウレベルの駆動電圧Vdminとハイレベルの駆動電圧Vdmaxとの中間電位である。

【0063】カラーフィルタFILは、アクリル樹脂等の樹脂材料で形成される染色基材に染料を着色して構成されている。カラーフィルタFILは、画素に対向する位置に各画素ごとに構成され、染め分けられている。すなわち、カラーフィルタFILは、画素と同様に、隣接する2本の走査信号線GLと隣接する2本の映像信号線DLとの交差領域内に構成されている。各画素は、カラーフィルタFILの個々の所定色フィルタ内において、複数に分割されている。

【0064】カラーフィルタFILは、つぎのように形成することができる。まず、上部透明ガラス基板SUB2の表面に染色基材を形成し、フォトリソグラフィ技術で赤色フィルタ形成領域以外の染色基材を除去する。この後、染色基材を赤色染料で染め、固着処理を施し、赤色フィルタRを形成する。次に、同様な工程を施すことによって、緑色フィルタG、青色フィルタBを順次形成する。

【0065】このように、カラーフィルタFILの各色フィルタを各画素と対向する交差領域内に形成することにより、カラーフィルタFILの各色フィルタ間に、走査信号線GL、映像信号線DLのそれぞれが存在するので、それらの存在に相当する分、各画素とカラーフィルタFILの各色フィルタとの位置合せ余裕寸法を確保する（位置合せマージンを大きくする）ことができる。さらに、カラーフィルタFILの各色フィルタを形成する際に、異色フィルタ間の位置合せ余裕寸法を確保するこ

とができる。

【0066】すなわち、この液晶表示装置では、隣接する2本の走査信号線GLと隣接する2本の映像信号線DLとの交差領域内に画素を構成し、この画素を複数に分割し、この画素に対向する位置にカラーフィルタFILの各色フィルタを形成することにより、前述の点欠陥を低減することができるとともに、各画素と各色フィルタとの位置合せ余裕寸法を確保することができる。

【0067】保護膜PSV2は、前記カラーフィルタFILを異なる色に染め分けた染料が液晶LCに漏れることを防止するために設けられている。保護膜PSV2は、たとえばアクリル樹脂、エポキシ樹脂等の透明樹脂材料で形成されている。

【0068】この液晶表示装置は、下部透明ガラス基板SUB1側、上部透明ガラス基板SUB2側のそれぞれの層を別々に形成し、その後下部透明ガラス基板SUB1と上部透明ガラス基板SUB2とを重ね合せ、両者間に液晶LCを封入することによって組み立てられる。

【0069】前記液晶表示部の各画素は、図5に示すように、走査信号線GLが延在する方向と同一列方向に複数配置され、画素列X1、X2、X3、X4、…のそれぞれを構成している。各画素列X1、X2、X3、X4、…のそれぞれの画素は、薄膜トランジスタTFT1～TFT3および透明画素電極ITO1～ITO3の配置位置を同一に構成している。つまり、画素列X1、X3、…のそれぞれの画素は、薄膜トランジスタTFT1～TFT3の配置位置を左側、透明画素電極ITO1～ITO3の配置位置を右側に構成している。画素列X2、X4、…のそれぞれの行方向の次段の画素列X2、X4、…のそれぞれの画素は、画素列X1、X3、…のそれぞれの画素を前記映像信号線DLに対して線対称で配置した画素で構成されている。すなわち、画素列X2、X4、…のそれぞれの画素は、薄膜トランジスタTFT1～TFT3の配置位置を右側、透明画素電極ITO1～ITO3の配置位置を左側に構成している。そして、画素列X2、X4、…のそれぞれの画素は、画素列X1、X3、…のそれぞれの画素に対し、列方向に半画素間隔移動させて（ずらして）配置されている。つまり、画素列Xの各画素間隔を1.0（1.0ピッチ）とすると、次段の画素列Xは、各画素間隔を1.0とし、前段の画素列Xに対して列方向に0.5画素間隔（0.5ピッチ）ずれている。各画素間を行方向に延在する映像信号線DLは、各画素列X間において、半画素間隔分（0.5ピッチ分）列方向に延在するように構成されている。

【0070】このように、液晶表示部において、薄膜トランジスタTFTおよび透明画素電極ITOの配置位置が同一の画素を列方向に複数配置して画素列Xを構成し、画素列Xの次段の画素列Xを、前段の画素列Xの画素を映像信号線DLに対して線対称で配置した画素で構成し、次段の画素列を前段の画素列に対して半画素間隔

移動させて構成することにより、図9（画素とカラーフィルタとを重ね合わせた状態における要部平面図）で示すように、前段の画素列Xの所定色フィルタが形成された画素（たとえば、画素列X<sub>3</sub>の赤色フィルタRが形成された画素）と次段の画素列Xの同一色フィルタが形成された画素（たとえば、画素列X<sub>4</sub>の赤色フィルタRが形成された画素）とを1.5画素間隔（1.5ピッチ）分離することができる。つまり、前段の画素列Xの画素は、最つとも近傍の次段の画素列の同一色フィルタが形成された画素と常時1.5画素間隔分離するように構成されており、カラーフィルタFILはRGBの三角形配置構造を構成できるようになっている。カラーフィルタFILのRGBの三角形配置構造は、各色の混色を良くすることができるので、カラー画像の解像度を向上することができる。

【0071】また、映像信号線DLは、各画素列X間において、半画素間隔分しか列方向に延在しないので、隣接する映像信号線DLと交差しなくなる。したがって、映像信号線DLの引き回しをなくしその占有面積を低減することができ、又映像信号線DLの迂回をなくし多層配線構造を廃止することができる。

【0072】この液晶表示部の構成を回路的に示すと、図10（液晶表示部の等価回路図）に示すようになる。図10に示すXiG, Xi+1G, …は、緑色フィルタGが形成される画素に接続された映像信号線DLである。XiB, Xi+1B, …は、青色フィルタBが形成される画素に接続された映像信号線DLである。Xi+1R, Xi+2R, …は、赤色フィルタRが形成される画素に接続された映像信号線DLである。これらの映像信号線DLは、映像信号駆動回路で選択される。Yiは前記図5および図9に示す画素列Xiを選択する走査信号線GLである。同様に、Yi+1, Yi+2, …のそれぞれは、画素列X<sub>2</sub>, X<sub>3</sub>, …のそれぞれを選択する走査信号線GLである。これらの走査信号線GLは、垂直走査回路に接続されている。

【0073】前記図4の中央部は画素部分の断面を示しているが、左側は下部透明ガラス基板SUB1および上部透明ガラス基板SUB2の左側縁部分で外部引出配線の存在する部分の断面を示している。右側は、透明ガラス基板SUB1およびSUB2の右側縁部分で外部引出配線の存在しない部分の断面を示している。

【0074】図4の左側、右側のそれぞれに示すシール材SLは、液晶LCを封止するように構成されており、液晶封入口（図示していない）を除く透明ガラス基板SUB1およびSUB2の縁周囲全体に沿って形成されている。シール材SLは、たとえばエポキシ樹脂で形成されている。

【0075】前記上部透明ガラス基板SUB2側の共通透明画素電極ITOは、少なくとも一個所において、銀ペースト材SILによって、下部透明ガラス基板SUB

1側に形成された外部引出配線に接続されている。この外部引出配線は、前述したゲート電極GT、ソース電極SD1、ドレイン電極SD2のそれぞれと同一製造工程で形成される。

【0076】前記配向膜ORI1およびORI2、透明画素電極ITO、共通透明画素電極ITO、保護膜PSV1およびPSV2、絶縁膜GIのそれぞれの層は、シール材SLの内側に形成される。偏光板POLは、下部透明ガラス基板SUB1、上部透明ガラス基板SUB2のそれぞれの外側の表面に形成されている。

【0077】図11はこの発明を適用すべき他のアクティブ・マトリックス方式のカラー液晶表示装置の液晶表示部の画素の要部およびシール部周辺部の断面図、図12は図11に示した液晶表示装置の液晶表示部の一画素を示す要部平面図、図13は図12のA-A切断線で切った部分の断面図、図14は図12に示す画素を複数配置した液晶表示部の要部平面図、図15～図17は図12に示す画素の所定の製造工程における要部平面図、図18は図14に示す画素とカラーフィルタとを重ね合わせた状態における要部平面図である。

【0078】この液晶表示装置においては、液晶表示部の各画素の開口率を向上することができるとともに、液晶にかかる直流成分を小さくし、液晶表示部の点欠陥を低減しかつ黒むらを低減することができる。

【0079】この液晶表示装置は、図12に示すように、液晶表示部の各画素内のi型半導体層ASを薄膜トランジスタTFT1～TFT3毎に分割して構成されている。つまり、画素の複数に分割された薄膜トランジスタTFT1～TFT3のそれぞれは、独立したi型半導体層ASの島領域で構成されている。

【0080】また、薄膜トランジスタTFT1～TFT3のそれぞれに接続される透明画素電極ITO1～ITO3のそれぞれは、薄膜トランジスタTFT1～TFT3と接続される辺と反対側の辺において、行方向の次段の走査信号線GLと重ね合わされている。この重ね合わせは、透明画素電極ITO1～ITO3のそれぞれを一方の電極とし、次段の走査信号線GLを他方の電極とする保持容量素子（静電容量素子）Caddを構成する。この保持容量素子Caddの誘電体膜は、薄膜トランジスタTFTのゲート絶縁膜として使用される絶縁膜GIと同一層で構成されている。

【0081】ゲート電極GTは、図3等に示した液晶表示装置と同様、i型半導体層ASより大き目に形成されるが、この液晶表示装置では薄膜トランジスタTFT1～TFT3が独立したi型半導体層ASごとに形成されているため、各薄膜トランジスタTFTごとに大き目のパターンが形成される。

【0082】また、上部透明ガラス基板SUB2の走査信号線GL、映像信号線DL、薄膜トランジスタTFTに対応する部分にブラックマトリックスパターンBMが

設けられているから、画素の輪郭が明瞭になるので、コントラストが向上するとともに、外部の自然光が薄膜トランジスタTFTに当たるのを防止することができる。

【0083】図12に記載される画素の等価回路を図19（等価回路図）に示す。図19において、前述と同様に、Cgsは薄膜トランジスタTFTのゲート電極GTおよびソース電極SD1で形成される重ね合せ容量である。重ね合せ容量Cgsの誘電体膜は絶縁膜GIである。Cpixは透明画素電極ITO（PIX）および共通透明画素電極ITO（COM）間で形成される液晶容量である。液晶容量Cpixの誘電体膜は液晶LC、保護膜PSV1および配向膜ORI1、ORI2である。Vlcは中点電位である。

【0084】前記保持容量素子Caddは、薄膜トランジスタTFTがスイッチングするとき、中点電位（画素電極電位）Vlcに対するゲート電位変化 $\Delta Vg$ の影響を低減するように働く。この様子を式で表すと次式となる。

【0085】

【数1】

$$\Delta Vlc = \{ (Cgs / (Cgs + Cadd + Cpix)) \} \times \Delta Vg$$

ここで、 $\Delta Vlc$ は $\Delta Vg$ による中点電位の変化分を表わす。この変化分 $\Delta Vlc$ は液晶に加わる直流成分の原因となるが、保持容量素子Caddの保持容量を大きくすればする程その値を小さくすることができる。また、保持容量素子Caddは放電時間を長くする作用もあり、薄膜トランジスタTFTがオフした後の映像情報を長く蓄積する。液晶LCに印加される直流成分の低減は、液晶LCの寿命を向上し、液晶表示画面の切り替え時に前の画像が残るいわゆる焼き付きを低減することができる。

【0086】上述したように、ゲート電極GTは半導体層ASを完全に覆うよう大きくされている分、ソース・ドレイン電極SD1、SD2とのオーバーラップ面積が増え、したがって寄生容量Cgsが大きくなり中点電位Vlcはゲート（走査）信号Vgの影響を受け易くなるという逆効果が生じる。しかし、保持容量素子Caddを設けることによりこのデメリットも解消することができる。

【0087】また、2本の走査信号線GLと2本の映像信号線DLとの交差領域内に画素を有する液晶表示装置において、前記2本の走査信号線GLのうちの一方の走査信号線GLで選択される画素の薄膜トランジスタTFTを複数に分割し、この分割された薄膜トランジスタTFT1～TFT3のそれぞれに透明画素電極ITOを複数に分割したそれぞれ（ITO1～ITO3）を接続し、この分割された透明画素電極ITO1～ITO3のそれぞれにこの画素電極ITOを一方の電極とし前記2本の走査信号線GLのうちの他方の走査信号線GLを容量電極線として用いて他方の電極とする保持容量素子Caddを構成することにより、前述のように、画素の分割された一部分が点欠陥になるだけで、画素の全体としては点欠陥でなくなるので、画素の点欠陥を低減すること

ができるとともに、前記保持容量素子Caddで液晶LCに加わる直流成分を低減することができるので、液晶LCの寿命を向上することができる。とくに、画素を分割することにより、薄膜トランジスタTFTのゲート電極GTとソース電極SD1またはドレイン電極SD2との短絡に起因する点欠陥を低減することができる。とくに、透明画素電極ITO1～ITO3のそれぞれと保持容量素子Caddの他方の電極（容量電極線）との短絡に起因する点欠陥を低減することができる。後者側の点欠陥はこの液晶表示装置の場合3分の1になる。この結果、前記画素の分割された一部の点欠陥は、画素の全体の面積に比べて小さいので、前記点欠陥を見にくくすることができる。

【0088】前記保持容量素子Caddの保持容量は、画素の書込特性から、液晶容量Cpixに対して4～8倍（ $4 \cdot Cpix < Cadd < 8 \cdot Cpix$ ）、重ね合せ容量Cgsに対して8～32倍（ $8 \cdot Cgs < Cadd < 32 \cdot Cgs$ ）程度の値に設定する。

【0089】また、前記走査信号線GLを第1導電膜（クロム膜）g1に第2導電膜（アルミニウム膜）g2を重ね合せた複合膜で構成し、前記保持容量素子Caddの他方の電極つまり容量電極線の分岐された部分を前記複合膜のうちの一層の第1導電膜g1からなる単層膜で構成することにより、走査信号線GLの抵抗値を低減し、書込特性を向上することができる。とくに、保持容量素子Caddの他方の電極に基づく段差部に沿って確実に保持容量素子Caddの一方の電極（透明画素電極ITO）を絶縁膜GI上に接着させることができるので、保持容量素子Caddの一方の電極の断線を低減することができる。

【0090】また、保持容量素子Caddの他方の電極を単層の第1導電膜g1で構成し、アルミニウム膜である第2導電膜g2を構成しないことにより、アルミニウム膜のヒロックによる保持容量素子Caddの他方の電極と一方の電極との短絡を防止することができる。

【0091】前記保持容量素子Caddを構成するために重ね合わされる透明画素電極ITO1～ITO3のそれぞれと容量電極線の分岐された部分との間の一部には、前記ソース電極SD1と同様に、分岐された部分の段差形状を乗り越える際に透明画素電極ITOが断線しないように、第1導電膜d1および第2導電膜d2で構成された島領域が設けられている。この島領域は、透明画素電極ITOの面積（開口率）を低下しないように、できる限り小さく構成する。

【0092】このように、前記保持容量素子Caddの一方の電極とその誘電体膜として使用される絶縁膜GIとの間に、第1導電膜d1とその上に形成された第1導電膜d1に比べて比抵抗値が小さくかつサイズが小さい第2導電膜d2とで形成された下地層を構成し、前記一方の電極（第3導電膜d3）を前記下地層の第2導電膜d

2から露出する第1導電膜d1に接続することにより、保持容量素子Caddの他方の電極に基づく段差部に沿って確実に保持容量素子Caddの一方の電極を接着させることができるので、保持容量素子Caddの一方の電極の断線を低減することができる。

【0093】前記画素の透明画素電極ITOに保持容量素子Caddを設けた液晶表示装置の液晶表示部は、図21（液晶表示部を示す等価回路図）に示すように構成されている。液晶表示部は、画素、走査信号線GLおよび映像信号線DLを含む単位基本パターンの繰返して構成されている。容量電極線として使用される最終段の走査信号線GL（または初段の走査信号線GL）は、図21に示すように、共通透明画素電極（Vcom）ITOに接続する。共通透明画素電極ITOは、前記図4に示すように、液晶表示装置の周縁部において銀ペースト材SLによって外部引出配線に接続されている。しかも、この外部引出配線の一部の導電層（g1およびg2）は走査信号線GLと同一製造工程で構成されている。この結果、最終段の走査信号線GL（容量電極線）は、共通透明画素電極ITOに簡単に接続することができる。

【0094】このように、容量電極線は最終段を前記画素の共通透明画素電極（Vcom）ITOに接続することにより、最終段の容量電極線は外部引出配線の一部の導電層と一体に構成することができ、しかも共通透明画素電極ITOは前記外部引出配線に接続されているので、簡単な構成で最終段の容量電極線を共通透明画素電極ITOに接続することができる。

【0095】また、液晶表示装置は、先に本願出願人によって出願された特願昭62-95125号に記載される直流相殺方式（DCキャンセル方式）に基づき、図20（タイムチャート）に示すように、走査信号線DLの駆動電圧を制御することによって、さらに液晶LCに加わる直流成分を低減することができる。図20において、Viは任意の走査信号線GLの駆動電圧、Vi+1はその次段の走査信号線GLの駆動電圧である。Veeは走査信号線GLに印加されるロウレベルの駆動電圧Vdmin、Vddは走査信号線GLに印加されるハイレベルの駆動電圧Vdmaxである。各時刻t=t1~t4における中点電位Vlc（図19参照）の電圧変化分ΔV1~ΔV4は、画素の合計の容量（Cgs+Cpix+Cadd）をCとすると、次式のようになる。

【0096】

$$\text{【数2】 } \Delta V_1 = -(C_{gs}/C) \cdot V_2$$

【0097】

【数3】

$$\Delta V_2 = +(C_{gs}/C) \cdot (V_1 + V_2) - (C_{add}/C) \cdot V_2$$

【0098】

【数4】

$$\Delta V_3 = -(C_{gs}/C) \cdot V_1 + (C_{add}/C) \cdot (V_1 + V_2)$$

【0099】

$$\text{【数5】 } \Delta V_4 = -(C_{add}/C) \cdot V_1$$

ここで、走査信号線GLに印加される駆動電圧が充分であれば（下記【注】参照）、液晶LCに加わる直流電圧は、次式で表される。

【0100】

【数6】

$$\Delta V_3 + \Delta V_4 = (C_{add} \cdot V_2 - C_{gs} \cdot V_1) / C$$

このため、 $C_{add} \cdot V_2 = C_{gs} \cdot V_1$ とすると、液晶LCに加わる直流電圧は0になる。

10 【0101】【注】時刻t1、t2で走査線Viの変化分が中点電位Vlcに影響を及ぼすが、t2~t3の期間に中点電位Vlcは信号線Xiを通じて映像信号電位と同じ電位にされる（映像信号の十分な書き込み）。液晶LCにかかる電位は薄膜トランジスタTFTがオフした直後の電位ではほぼ決定される（薄膜トランジスタTFTのオフ期間がオン期間より圧倒的に長い）。したがって、液晶LCにかかる直流分の計算は、期間t1~t3はほぼ無視でき、薄膜トランジスタTFTがオフ直後の電位、すなわち時刻t3、t4における過渡時の影響を考えればよい。なお、映像信号Viはフレームごと、あるいはラインごとに極性が反転し、映像信号そのものによる直流分は零とされている。

20 【0102】つまり、直流相殺方式は、重ね合せ容量Cgsによる中点電位Vlcの引き込みによる低下分を、保持容量素子Caddおよび次段の走査信号線GL（容量電極線）に印加される駆動電圧によって押し上げ、液晶LCに加わる直流成分を極めて小さくすることができる。この結果、液晶表示装置は液晶LCの寿命を向上することができる。もちろん、遮光効果を上げるためにゲートGTを大きくした場合、それに伴って保持容量素子Caddの保持容量を大きくすればよい。

30 【0103】この直流相殺方式は、図22（液晶表示部を示す等価回路図）で示すように、初段の走査信号線GL（または容量電極線）を最終段の容量電極線（または走査信号線GL）に接続することによって採用することができる。図22には便宜上4本の走査信号線GLしか記載されていないが、実際には数百程度の走査信号線GLが配置されている。初段の走査信号線GLと最終段の容量電極線との接続は、液晶表示部内の内部配線あるいは外部引出配線によって行なう。

40 【0104】このように、液晶表示装置は、初段の走査信号線GLを最終段の容量電極線に接続することにより、走査信号線GLおよび容量電極線のすべてを垂直走査回路に接続することができるので、直流相殺方式（DCキャンセル方式）を採用することができる。この結果、液晶LCに加わる直流成分を低減することができるので、液晶LCの寿命を向上することができる。

50 【0105】図1、図2によりこの発明に係るアクティブ・マトリックス方式のカラー液晶表示装置の製造方法について説明する。まず、図1(a)に示すように、70

59ガラス(商品名)からなる下部透明ガラス基板SUB1上に膜厚が1100Åのクロムからなる第1導電膜g1をスパッタリングにより設ける。つぎに、エッチング液として硝酸第2セリウムアンモニウム溶液を使用した写真蝕刻技術で第1導電膜g1を選択的にエッチングすることによって、走査信号線GLの第1層、ゲート電極GTおよび保持容量素子Caddの電極を形成すると同時に、ドレイン端子1の第1層、映像信号線DLの一部を設ける。この場合、図23にも示すように、第1導電膜g1からなる映像信号線DLの一部の端部が絶縁膜GI内に位置するようにする。つぎに、レジストを剥離液S502(商品名)で除去したのち、O<sub>2</sub>アッシャーを1分間行なう。つぎに、膜厚が1000Åのアルミニウム-パラジウム(Pd)、アルミニウム-シリコン、アルミニウム-シリコン-チタン(Ti)、アルミニウム-シリコン-銅(Cu)等からなる第2導電膜g2をスパッタリングにより設ける。つぎに、エッチング液としてリン酸と硝酸と酢酸との混酸を使用した写真蝕刻技術で第2導電膜g2を選択的にエッチングすることにより、走査信号線GLの第2層を形成すると同時に、ドレイン端子1および映像信号線DLの一部の第1導電膜g1上にも第2導電膜g2を設ける。この場合、図23にも示すように、ドレイン端子1および映像信号線DLの一部の第1導電膜g1上の第2導電膜g2の端部が絶縁膜GIの端部から約10μm外側に位置するようにする。つぎに、ドライエッチング装置にSF<sub>6</sub>ガスを導入して、シリコン等の残渣を除去したのち、レジストを除去する。つぎに、プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が3500Åの窒化シリコン膜を設けたのち、プラズマCVD装置にシランガス、水素ガス、ホスフィンガスを導入して、膜厚が2100Åのi型非晶質シリコン膜を設け、膜厚が300ÅのN<sup>+</sup>型シリコン膜を設ける。つぎに、ドライエッチングガスとしてSF<sub>6</sub>、CCl<sub>4</sub>を使用した写真蝕刻技術でN<sup>+</sup>型シリコン膜、i型非晶質シリコン膜を選択的にエッチングすることにより、i型半導体層ASを形成する。つぎに、レジストを除去したのち、レジスト2を設け、ドライエッチングガスとしてSF<sub>6</sub>を使用して窒化シリコン膜を選択的にエッチングすることによって、絶縁膜GIを形成する。つぎに、図1(b)に示すように、レジスト2を除去する前に、現像液NMD(商品名)、リン酸と硝酸と酢酸との混酸を使用して、ドレイン端子1および映像信号線DLの一部の第1導電膜g1上の第2導電膜g2を除去する。つぎに、図1(c)に示すように、レジスト2を除去したのち、膜厚が600Åのクロムからなる第1導電膜d1をスパッタリングにより形成する。つぎに、写真蝕刻技術で第1導電膜d1を選択的にエッチングすることにより、映像信号線DL、ソース電極SD1、ドレイン電極SD2の第1層を形成するとともに、ドレイン端子1の第2層を形成す

る。つぎに、レジストを除去する前に、ドライエッチング装置にCCl<sub>4</sub>、SF<sub>6</sub>を導入して、N<sup>+</sup>型シリコン膜を選択的にエッチングすることにより、N<sup>+</sup>型半導体層d0を形成する。つぎに、レジストを除去したのち、O<sub>2</sub>アッシャーを1分間行なう。つぎに、図2(d)に示すように、膜厚が3500Åのアルミニウム-パラジウム(Pd)、アルミニウム-シリコン、アルミニウム-シリコン-チタン(Ti)、アルミニウム-シリコン-銅(Cu)等からなる第2導電膜d2をスパッタリングにより設ける。つぎに、写真蝕刻技術で第2導電膜d2を選択的にエッチングすることにより、映像信号線DL、ソース電極SD1、ドレイン電極SD2の第2層を形成すると同時に、ドレイン端子1の第1導電膜d1上にも第2導電膜d2を設ける。この場合、図24にも示すように、ドレイン端子1の第2層を構成する第1導電膜d1上の第2導電膜d2の端部が保護膜PSV1の端部の外側に位置するようにする。つぎに、レジストを除去したのち、O<sub>2</sub>アッシャーを1分間行なう。つぎに、膜厚が1200ÅのITO膜からなる第3導電膜d3をスパッタリングにより設ける。つぎに、エッチング液として塩酸と硝酸との混酸を使用した写真蝕刻技術で第3導電膜d3を選択的にエッチングすることにより、映像信号線DL、ソース電極SD1、ドレイン電極SD2の第3層および透明画素電極ITO1を形成する。つぎに、レジストを除去したのち、プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が1μmの窒化シリコン膜を設ける。つぎに、レジスト3を設け、ドライエッチングガスとしてSF<sub>6</sub>を使用して窒化シリコン膜を選択的にエッチングすることによって、保護膜PSV1を形成する。つぎに、図2(e)に示すように、レジスト3を除去する前に、現像液NMD、リン酸と硝酸と酢酸との混酸を使用して、ドレイン端子1の第1導電膜d1上の第2導電膜d2を除去する。つぎに、膜厚が1200ÅのITO膜4をスパッタリングにより設ける。つぎに、エッチング液として塩酸と硝酸との混酸を使用した写真蝕刻技術でITO膜4を選択的にエッチングすることにより、ドレイン端子1の第3層を形成する。

【0106】この液晶表示装置の製造方法においては、第1導電膜g1により走査信号線GLの第1層、ゲート電極GTおよび保持容量素子Caddの電極を形成すると同時に、ドレイン端子1の第1層、映像信号線DLの一部を形成するから、走査信号線GLの第1層、ゲート電極GTおよび保持容量素子Caddの電極の形成、絶縁膜GIの形成によって、下部透明ガラス基板SUB1の端子1の第1層の下表面が汚染されることはない。また、第1導電膜g1からなる映像信号線DLの一部の端部を絶縁膜GI内に位置させているから、映像信号線DLが断線するのを防止することができる。さらに、走査信号線GLの

第2層を構成すべき第2導電膜g2を形成すると同時に、ドレイン端子1の第1層を構成する第1導電膜g1の上に第2導電膜g2を設け、絶縁膜GIを形成したのち、ドレイン端子1の第1導電膜g1上の第2導電膜g2を除去するから、ドレイン端子1の第1導電膜g1の表面が汚染されることがないので、ドレイン端子1および映像信号線DLの一部の第1導電膜g1と第1導電膜d1とのコンタクト不良が生ずるのを防止することができる。また、映像信号線DLの第2層を構成すべき第2導電膜d2を形成すると同時に、ドレイン端子1の第2層を構成する第1導電膜d1の上に第2導電膜d2を設け、保護膜PSV1を形成したのち、ドレイン端子1の第2層の上の第2導電膜d2を除去すれば、ドレイン端子1の第2層を構成する第1導電膜d1の表面が汚染されることがないので、ドレイン端子1の第1導電膜d1とITO膜4とのコンタクト不良が生ずるのを防止することができる。

【0107】図25、図26により他のアクティブ・マトリックス方式のカラー液晶表示装置の製造方法について説明する。まず、図25(a)に示すように、下部透明ガラス基板SUB1上に第1導電膜g1をスパッタリングにより設ける。つぎに、第1導電膜g1を選択的にエッチングすることによって、走査信号線GLの第1層、ゲート電極GT、ドレイン端子1の第1層、映像信号線DLの一部および保持容量素子Caddの電極を形成すると同時に、ドレイン端子1の第1層、映像信号線DLの一部を設ける。つぎに、第2導電膜g2をスパッタリングにより設ける。つぎに、第2導電膜g2を選択的にエッチングすることにより、走査信号線GLの第2層を形成する。つぎに、レジストを除去し、窒化シリコン膜を設けたのち、i型非晶質シリコン膜を設け、N<sup>+</sup>型シリコン膜を設ける。つぎに、N<sup>+</sup>型シリコン膜、i型非晶質シリコン膜を選択的にエッチングすることにより、i型半導体層ASを形成する。つぎに、レジストを除去したのち、レジスト2を設け、窒化シリコン膜を選択的にエッチングすることによって、絶縁膜GIを形成する。つぎに、レジスト2を除去する前に、塩酸と硝酸との混酸を使用して、ドレイン端子1および映像信号線DLの一部の第1導電膜g1の表面を処理する。つぎに、図25(b)に示すように、レジスト2を除去したのち、第1導電膜d1をスパッタリングにより形成する。つぎに、第1導電膜d1を選択的にエッチングすることにより、映像信号線DL、ソース電極SD1、ドレイン電極SD2の第1層を形成するとともに、ドレイン端子1の第2層を形成する。つぎに、レジストを除去する前に、N<sup>+</sup>型シリコン膜を選択的にエッチングすることにより、N<sup>+</sup>型半導体層d0を形成する。つぎに、図26(c)に示すように、レジストを除去したのち、第2導電膜d2をスパッタリングにより設ける。つぎに、第2導電膜d2を選択的にエッチングすることにより、映像信号線D

L、ソース電極SD1、ドレイン電極SD2の第2層を形成する。つぎに、レジストを除去したのち、第3導電膜d3をスパッタリングにより設ける。つぎに、第3導電膜d3を選択的にエッチングすることにより、映像信号線DL、ソース電極SD1、ドレイン電極SD2の第3層および透明画素電極ITO1を形成する。つぎに、レジストを除去したのち、窒化シリコン膜を設ける。つぎに、レジスト3を設け、窒化シリコン膜を選択的にエッチングすることによって、保護膜PSV1を形成する。つぎに、レジスト3を除去する前に、塩酸と硝酸との混酸を使用して、ドレイン端子1の第2層を構成する第1導電膜d1の表面を処理する。つぎに、図26(d)に示すように、レジスト3を除去したのち、ITO膜4をスパッタリングにより設ける。つぎに、ITO膜4を選択的にエッチングすることにより、ドレイン端子1の第3層を形成する。

【0108】この液晶表示装置の製造方法においては、絶縁膜GIを形成したのち、塩酸と硝酸との混酸を使用して、ドレイン端子1の第1層および映像信号線DLの一部を構成する第1導電膜g1の表面を処理するから、ドレイン端子1の第1層および映像信号線DLの一部を構成する第1導電膜g1の表面を洗浄することができるので、ドレイン端子1および映像信号線DLの一部の第1導電膜g1と第1導電膜d1とのコンタクト不良が生ずるのを防止することができる。さらに、保護膜PSV1を形成したのち、塩酸と硝酸との混酸を使用して、ドレイン端子1の第2層である第1導電膜d1の表面を処理するから、ドレイン端子1の第2層を構成する第1導電膜d1の表面を洗浄することができるので、ドレイン端子1の第1導電膜d1とITO膜4とのコンタクト不良が生ずるのを防止することができる。

【0109】以上、この発明を上記実施の形態に基づき具体的に説明したが、この発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることはもちろんである。

【0110】たとえば、この発明は液晶表示部の各画素を2分割あるいは4分割した液晶表示装置に適用することができる。ただし、画素の分割数があまり多くなると、開口率が低下するので、上述のように、2~4分割程度が妥当である。また、画素は分割しなくても、遮光効果は得られる。さらに、上述実施の形態においては、ゲート電極形成→ゲート絶縁膜形成→半導体層形成→ソース・ドレイン電極形成の逆スタガ構造を示したが、上下関係または作る順番がそれと逆のスタガ構造でもこの発明は有効である。

【0111】

【発明の効果】以上に説明したように、この発明に係る液晶表示装置の端子の形成方法においては、端子部の第1導電膜の上に第2導電膜を設け、保護膜を形成したのち、端子部の第1導電膜の上の第2導電膜を除去するか

ら、端子部の第1導電膜の表面が汚染されることがないので、端子部の第1導電膜と第3導電膜とのコンタクト不良が生ずるのを防止することができる。

【0112】さらに、保護膜を形成する工程と端子部の第2導電膜を除去する工程は、同じレジストを用いるので、製造工程が短縮できる。

【0113】このように、この発明の効果は顕著である。

#### 【図面の簡単な説明】

【図1】この発明に係るアクティブ・マトリックス方式のカラー液晶表示装置の製造方法の説明図である。

【図2】この発明に係るアクティブ・マトリックス方式のカラー液晶表示装置の製造方法の説明図である。

【図3】この発明を適用すべきアクティブ・マトリックス方式のカラー液晶表示装置の液晶表示部の一画素を示す要部平面図である。

【図4】図3のII-II切断線で切った部分とシール部周辺部の断面図である。

【図5】図3に示す画素を複数配置した液晶表示部の要部平面図である。

【図6】図3に示す画素の所定の製造工程における要部平面図である。

【図7】図3に示す画素の所定の製造工程における要部平面図である。

【図8】図3に示す画素の所定の製造工程における要部平面図である。

【図9】図5に示す画素とカラーフィルタとを重ね合せた状態における要部平面図である。

【図10】上記のアクティブ・マトリックス方式のカラー液晶表示装置の液晶表示部を示す等価回路図である。

【図11】この発明を適用すべき他のアクティブ・マトリックス方式のカラー液晶表示装置の液晶表示部の画素の要部およびシール部周辺部の断面図である。

【図12】図11に示した液晶表示装置の液晶表示部の一画素を示す要部平面図である。

【図13】図12のA-A切断線で切った部分の断面図である。

【図14】図12に示す画素を複数配置した液晶表示部の要部平面図である。

【図15】図12に示す画素の所定の製造工程における要部平面図である。

【図16】図12に示す画素の所定の製造工程における要部平面図である。

【図17】図12に示す画素の所定の製造工程における要部平面図である。

【図18】第12図に示す画素とカラーフィルタとを重ね合せた状態における要部平面図である。

【図19】図12に記載される画素の等価回路図である。

【図20】直流相殺方式による走査信号線の駆動電圧を示すタイムチャートである。

【図21】図14に示したアクティブ・マトリックス方式のカラー液晶表示装置の液晶表示部を示す等価回路図である。

【図22】図14に示したアクティブ・マトリックス方式のカラー液晶表示装置の液晶表示部を示す等価回路図である。

【図23】図1、図2で製造方法を説明した液晶表示装置の一部の所定の製造工程における平面図である。

【図24】図1、図2で製造方法を説明した液晶表示装置の一部の所定の製造工程における平面図である。

【図25】他のアクティブ・マトリックス方式のカラー液晶表示装置の製造方法の説明図である。

【図26】他のアクティブ・マトリックス方式のカラー液晶表示装置の製造方法の説明図である。

#### 【符号の説明】

SUB…透明ガラス基板

GL…走査信号線

DL…映像信号線

GI…絶縁膜

GT…ゲート電極

AS…i型半導体層

SD…ソース電極またはドレイン電極

PSV…保護膜

LS…遮光膜

LC…液晶

TFT…薄膜トランジスタ

ITO (COM) …透明画素電極

g, d…導電膜

Cadd…保持容量素子

Cgs…重ね合せ容量

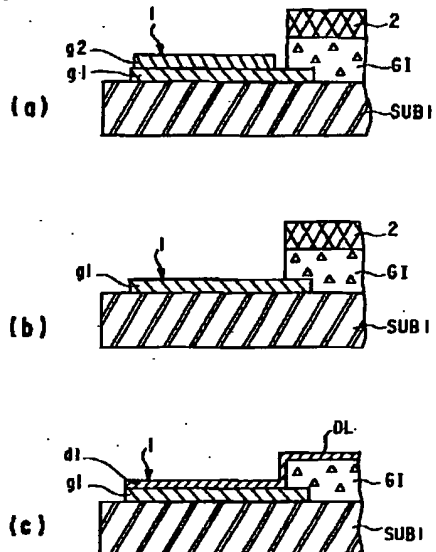
Cpix…液晶容量

BM…ブラックマトリックスパターン

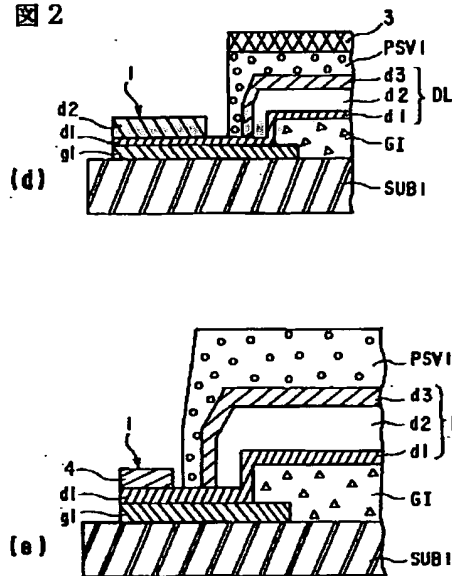
1…ドレイン端子

4…ITO膜

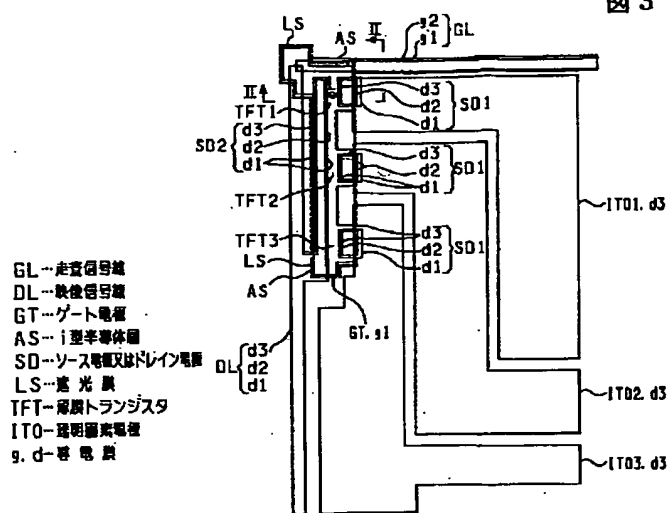
【図1】



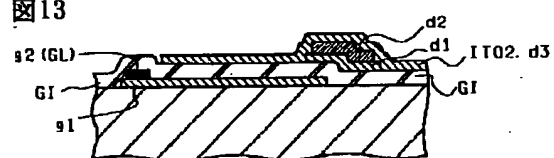
【図2】



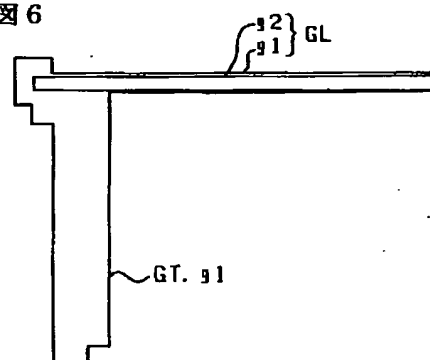
【図3】



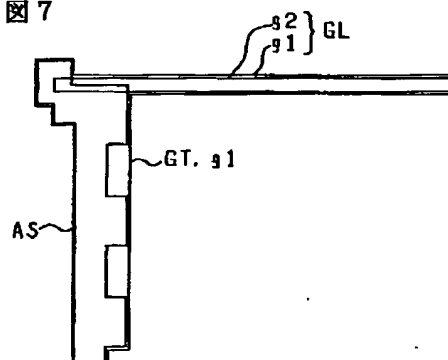
【图13】



【例6】



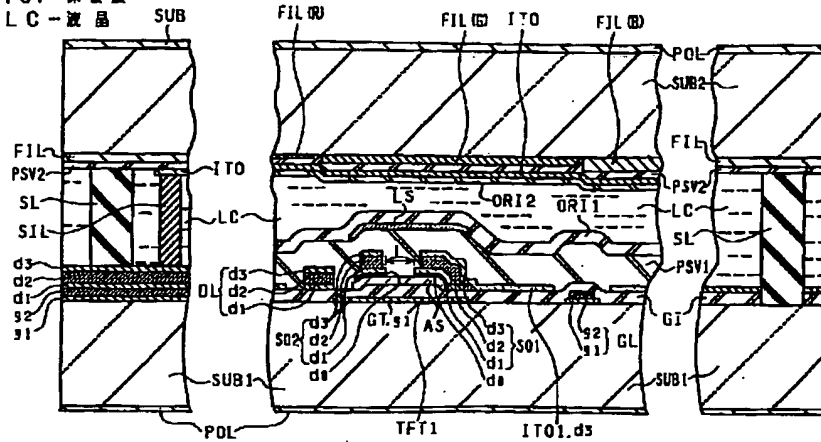
【図7】



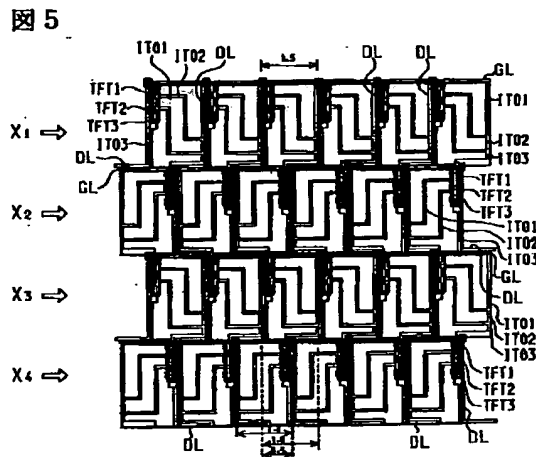


【图4】

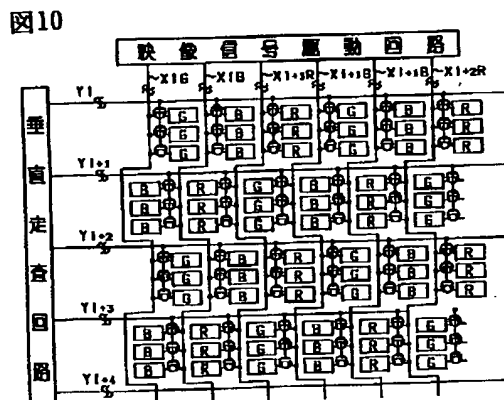
SUB→ 通明カウ入基板  
GI→ 絶縁膜  
PSV→ 保護膜  
LC→ 液晶



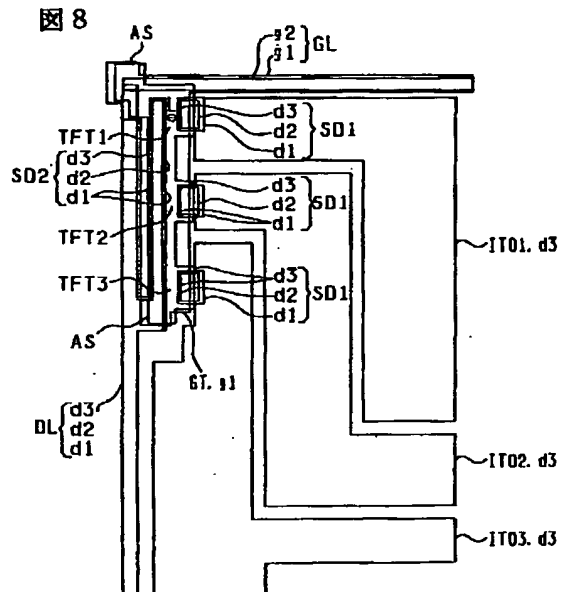
【図5】



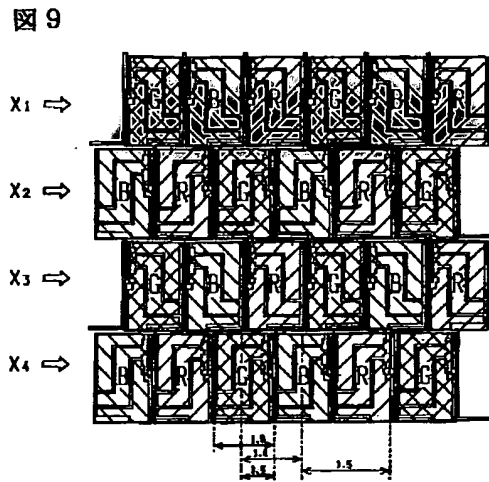
【図10】



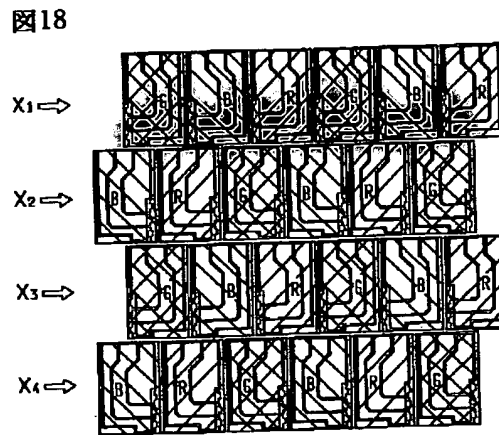
【例8】



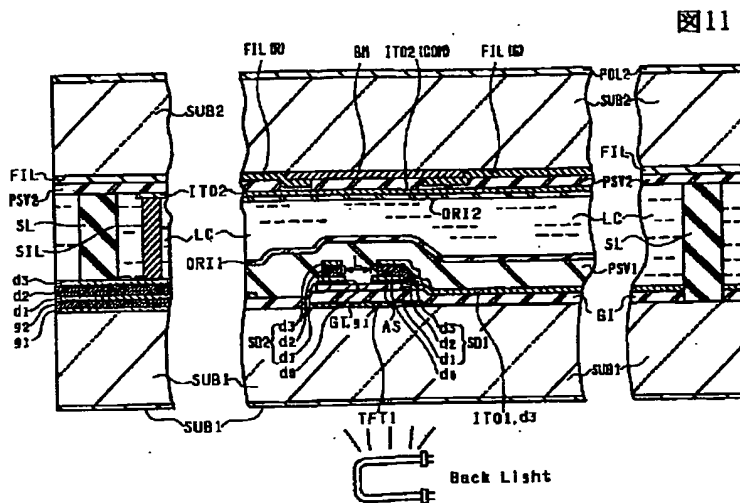
【図9】



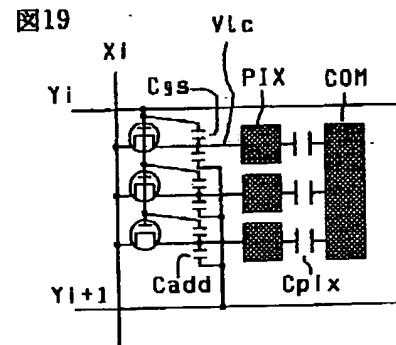
【図18】



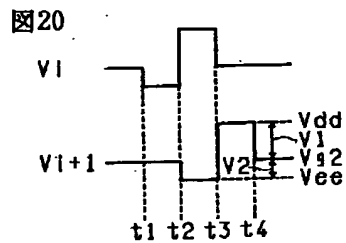
【図11】



【図19】



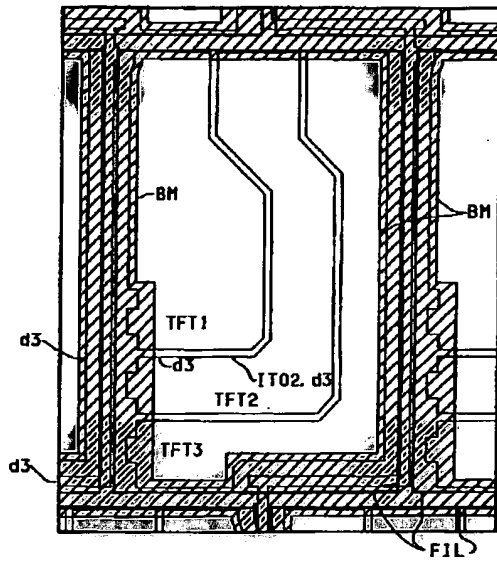
【図20】





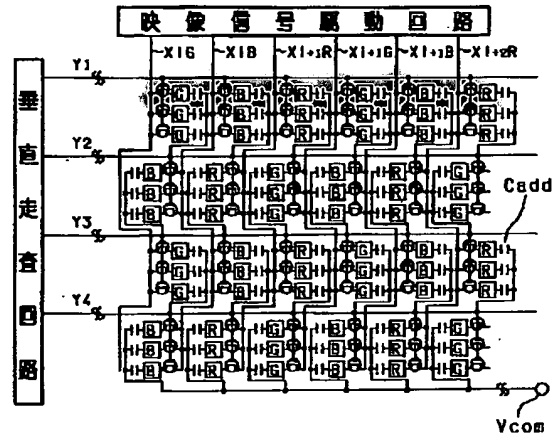
【図17】

図17



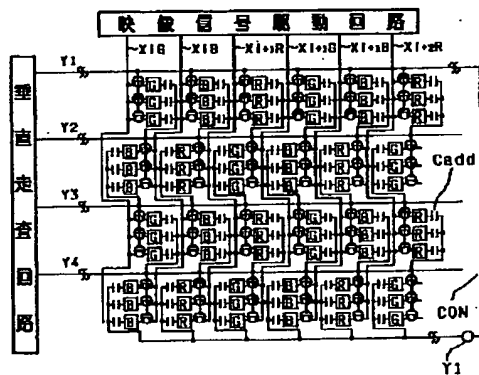
【図21】

図21



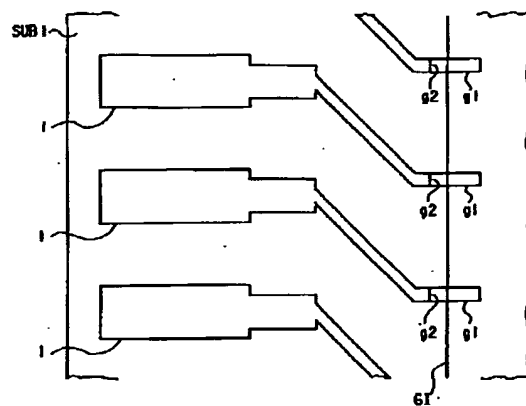
【図22】

図22



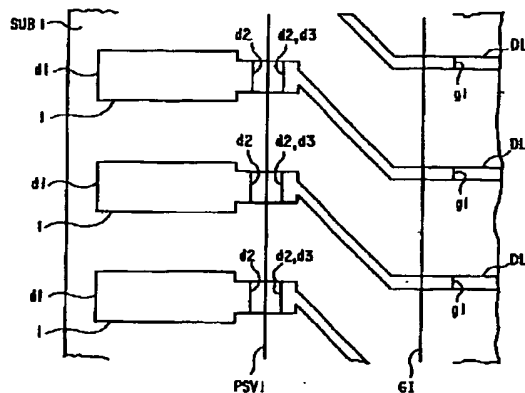
【図23】

図23



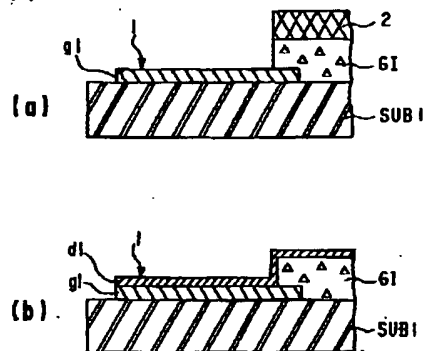
【図24】

図24



【図25】

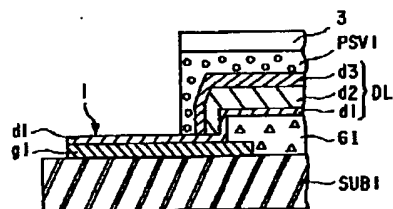
図25



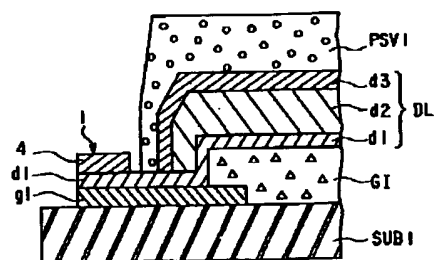
【図26】

図26

(c)



(d)



フロントページの続き

(72)発明者 笹野 晃  
千葉県茂原市早野3300番地 株式会社日立  
製作所茂原工場内